第5章

PCI Express 搭載LSIの設計

IPコア選定の考え方と PCI Express高速転送技術

五十嵐拓郎

最近，高速な拡張バスとして使われてきたPCI-Xが消えつつあり，PCI Expressにとって代わっている．読者の中にも，PCIやPCI-Xの拡張カードをPCI Expressに置き換える必要性を感じている方も多いと思う．本稿では，筆者らが開発したPCI Expressとローカル・バスのブリッジLSIを例にとり，FPGA（Field Programmable Gate Array）やASIC（Application Specific Integrated Circuit）にPCI Expressなどのバス・インターフェースを実現するためのIP（Intellectual Property）コア選定手法を解説する．IPコアを使いこなして転送能力を最大限に取り出す技術を解説する．（筆者）

1 要求されるPCI Expressの機能と性能の洗い出し

● IPコアでローカル・バスとのブリッジLSIを設計

どのようなものを作る場合でも同じですが，最初に必要な機能と性能を洗い出します．今回，筆者らが設計したLSI（**写真1**）では，最初に次のような要求がありました．

写真1 今回作成したLSIの外観
アバールデータ製のPCI Express bus Bridge「AAE-B04」．

- 本LSIを使ってPCI Expressインターフェースを安価に実現できる
- 汎用的に使える
- PCI Expressの4レーン（x4）に対応する
- PCI Expressの帯域に見合ったローカル・バス・インターフェースを実装する
- PCI Expressとローカル・バスの双方からアクセス可能な大容量・高速メモリのインターフェースを搭載する
- DMA（Direct Memory Access）コントローラを内蔵し，Scatter/Getterモード[注1]に対応する
- 転送性能を限界まで引き出せる
- PCI Express部は市販のIPコアを使う
- コスト面からストラクチャードASICを使う

また，明確な要求以外の潜在的な要求は常に存在します．潜在的な要求を考慮しないと応用が利かず，製品寿命が短くなります．

筆者の経験では，潜在的な要求の洗い出しに一番効果的なのは，キーとなる人に直接聞き取り調査を行うこと

注1：DMA転送方法の一つで，転送元・転送先・転送サイズが書かれたテーブルを参照しながら連続的にデータ転送を行う方法．複数のテーブルをつなげることが可能なので，非連続アドレスを転送元・転送先とするデータ転送がソフトウェア負荷なしに実行できる．WindowsやLinuxといった，仮想メモリを使用したOSでは実メモリ・アドレスが連続して確保されないため，このモードが必要となる．

KeyWord PHY IP，MAC IP，DMA，ペイロード・サイズ，リンクアップ，TCマッピング，チップセット，レシーバ検出，IPコア，トランザクション型バス，インターロック型バス

です．メールを送って返事を待つより，直接話を聞いた方がより多くの情報を入手できます．聞かれる方も話すうちに頭が整理できます．聞き取りで以下の潜在的要求があることが分かりました．

- ローカル・バスには必ずFPGAが接続されるので，FPGAとの接続性が良いこと
- FPGAのコンフィグレーションを行える．また，ホストからコンフィグレーション・データをアップデートできること
- 部品点数を少なくできるようにシンプルな回路構成となること（特にコストへの影響が大きいクロックと電源の部品）

以上の要求のうち，IPコアを用いるPCI Express部以外は，ほぼフルスクラッチで作成することになります．この時点でかなりの設計量になることが予想されます．

2 PCI ExpressのIPコア選定

● MAC部のIPコアでボードの特徴が決まる

要求仕様を踏まえ，重要なPCI ExpressのIPコアを選定します．詳細仕様を決める前にIPコア選定を行うのは，使用するIPコアによって，仕様に大きな影響を与えるからです．IPコアにより実装可能な機能が決まったり，実装にかかる設計量が大きく変わったりします．

PCI Expressは通常，二つのIPを組み合わせて使用します．一つはPHY部分のIPコア（PHY IP），もう一つはMAC（Media Access Control）部分のIPコア（MAC IP）です．

PHY IPは，2.5Gbpsインターフェースを含む物理層の電気サブブロックと，論理サブブロックの一部が含まれます．普通はLSIベンダより供給されます．PHY IPとMAC IPは通常，PIPEインターフェースで接続されます（**図1**）．

MAC IPは，物理層の論理サブブロックより上位の部分です．PCI Expressでは，このMAC IPを選択することによりPCI Express部の個性が決まります．

● トランザクション層の充実度がIPコア選択の決め手

MAC IPの選定において重要なのは以下の項目です．

①トランザクション層の回路をどの程度実装しているか．また，ユーザ・インターフェースはどうなっているか．

プロトコル・データ・バス幅・クロック周波数など．

②回路規模はどの程度か．

③IPコアベンダのサポート体制は良いか．

①は自身でどの程度作り込む必要があるかに直結します．PCI ExpressのIPコア（MAC IP）でよく見るのは，トランザクション層パケット（TLP）がほぼそのままユー

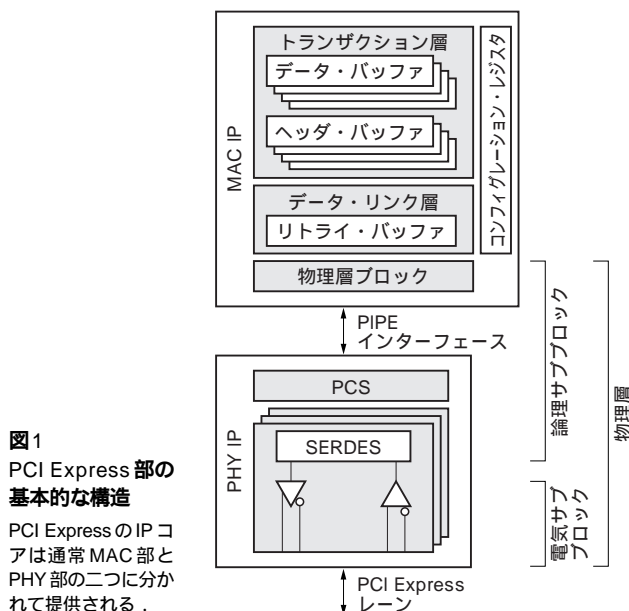



図1 PCI Express部の基本的な構造
PCI ExpressのIPコアは通常MAC部とPHY部の二つに分かれて提供される．

表1 IPごとの特徴
IPベンダにより注力している部分が異なるのが分かる．

メーカ	TL（トランザクション層）の作り込み度	Max レーン	MAX Payload	IP種別	DMA	バックエンド・インターフェース	
						タイプ	マスタ/ターゲット
インベンチュア	高	16	4Kバイト	ソフト・マクロ	なし	メモリ・アクセス	分離
A社 Aタイプ	中	8	2Kバイト	ソフト・マクロ	あり	メモリ・アクセス	分離
A社 Bタイプ	中	4	4Kバイト	ソフト・マクロ	なし	TLPパケット	非分離
B社 Xタイプ	低	8	4Kバイト	ハード・マクロ	なし	TLPパケット	非分離
B社 Yタイプ	低	8	512バイト	ソフト・マクロ	なし	TLPパケット	非分離
C社	低	8	2Kバイト	ソフト・マクロ	なし	TLPパケット	非分離
D社	低	16	4Kバイト	ソフト・マクロ	なし	TLPパケット	分離

ザ・インターフェースに出てきているものです．

このタイプのIPコアを選定すると，PCI Expressの仕様を熟知しないと使いこなすことが難しく，ユーザが作り込む回路が増大します．せっかく開発の手間を省くためにIPコアを購入して，ユーザ回路に注力したいのに，仕様の調査に多くの時間をとられる結果になりかねません．

今回選定にあたり調査したIPコアを**表1**にまとめました．ユーザ回路と接続する側のバックエンド・インターフェースはメモリにアクセスする感覚で利用でき，マスタとターゲットのポートが分離されているものがお勧めです．また，クロック周波数やデータ・バス幅と使用するデバイスが合っていないと実装が難しくなります．

②は①とトレードオフの関係になります．必要な機能が実装されているのであれば，回路規模は小さいに越したことはありません．また，コスト面からPCI Expressに割ける回路規模はある程度決まってしまうので，実装可能か判断する必要があります．

③については，コミュニケーションのしやすさ．マニュアルなどの資料の充実度，サポートの良さなどで決まると思います．ただ，サポートに関しては実際にIPを採用して問い合わせてみないと分からないので，選定の時点で判断するのは難しいかもしれません．

筆者らは今回，総合的に判断してインベンチェア製のIPコアを採用しました．決め手はトランザクション層の作り込みの充実度と，日本のIPコアベンダなのでコミュニケーションが楽に行えることでした．

図2　十分なバッファ実装時

ペイロード・サイズの4倍のバッファを確保した場合，受信側のデータ処理は，通常，受信パケットにエラーがないことを確認してから開始するため，上記の様なタイミングになる．

3 PCI Express開発の注意点

● 高速転送にはバッファとペイロードの最適化が重要

特に多レーンのPCI Express製品を実現する場合，転送性能を十分に発揮させる必要があります．転送性能に

表2
バッファの種類と，影響する転送

使用するIPコアによって名称は若干異なる．IPコアによっては，受信側と同じ名称のバッファを送信側にも備えているものがある．Postedタイプは相手側の応答を待たずにデータを送りつける．Non-Postedタイプは相手側の応答を待ってからデータを送る．

名称		略称	Config リード	Config ライト	メモリ リード	メモリ ライト	メッセージ 受信
受信	Posted Data Buffer	PDB	―	―	―	○	○
	Posted Header Buffer	PHB	―	―	―	○	○
	Non-Posted Data Buffer	NPDB	○	○		―	―
	Non-Posted Header Buffer	NPHB	○	○	○	―	―
	Completion Data Buffer	CDB	○	○	○	―	―
	Completion Header Buffer	CHB	○	○	○	―	―
送信	Retry Buffer	RB	○	○	○	○	―
	Retry TAG Buffer	RTB	○	○	○	○	―

図3
バッファ不足時

ペイロード・サイズの2倍しかバッファがない場合．

大きな影響を与える要因は以下の3点です．

- 送受信用のバッファ・サイズ（**表2**参照）
- 伝送部の遅延時間
- サポートする最大ペイロード・サイズ（MaxPL）

転送性能への影響は以下の順で大きくなります．

バッファ・サイズ＞遅延＞MaxPL

1）バッファ・サイズが小さいと転送性能が悪化する

PCI Expressの仕様上，データ転送を開始する時点で相手先のバッファに空きがあることを知っている必要があります（**図2**）．バッファに空きがないと，空くまで転送を待たなければなりません（**図3**）．

データ受信側の処理能力が十分にあったとしても，十分にこのバッファが実装されていないと，データ転送→バッファの空き待ち→データ転送を繰り返すことになり，全体としてデータ転送性能が悪化します．筆者の経験では，**表3**に挙げたバッファ・サイズで，転送への悪影響はほぼなくなります．

バッファの管理はIPコアで行います．データ系バッファは，通常LSI内蔵SRAMを使用可能な構造になっています．ヘッダ系バッファは，IPコアの種類によりSRAMを使用可能な場合と，フリップフロップにしか配置できない場合があります．フリップフロップに配置する場合，1段で96～128個程度のFFを使用します．デバイス規模と相談して決める必要があります．

2）開始/終了通知の遅延が大きいと転送性能が悪化

ここでいう遅延とは，データ処理要求を受け取った側が実際に処理を行い，要求元に処理完了を通知するまでの時間のことです．実際のデータ転送にかかる時間は含みません．

遅延があると，データ処理の開始が遅れるのに加え，処理完了時にバッファが空いた，という通知も遅れます（**図4**）．遅延の要因は，①実際のデータ処理にかかる時間と，②処理の開始/終了を相手に通知するまでの時間です．

②はさらに二つに分けられます．PHY部のパラレル-シリアル変換にかかる時間とMAC部の応答時間です．PHY部の遅延はLSI/FPGAメーカによりかなり異なるようです．

実際，今回評価で使用した2社のFPGAでも遅延量が大きく異なりました．また，MAC部の動作クロックが遅い場合も遅延が増大します．

表4は実際にPHYを変更して転送速度が変化したことをまとめたものです．バッファが十分に確保されていない環境では，遅延の悪影響が発生していることが分かります．

3）ペイロード・サイズが小さい影響は比較的少ない

不思議に思われるかもしれませんが，MaxPL（最大ペ

表3　転送速度を十分に出すために必要なバッファ量
表は遅延の大きめなPHYの場合．遅延の小さなPHYでは，25～50%程度減らしても影響がないこともある．

項　目	Max Payload Size（MaxPL）	
	128バイト	256バイト以上
Posted Data Buffer Size	1024バイト以上	Max Payload Size×4
Posted Header Buffer Size	8バイト以上	4バイト以上
Non-Posted Header Buffer Size	8バイト以上	

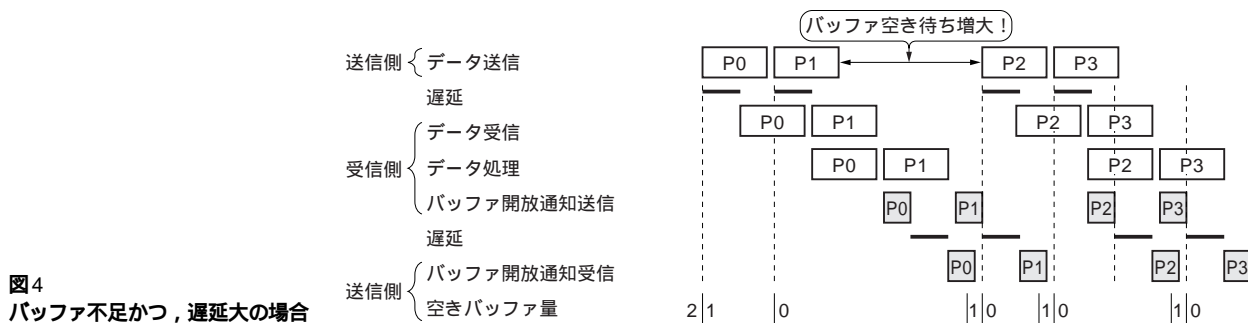



図4
バッファ不足かつ，遅延大の場合

表4
遅延による転送速度への影響
4レーンでリンクさせた際の転送速度の変化の様子をまとめた．パソコン1，2はバッファ・サイズが不足している場合，MaxPLを128バイトに統一．

項　目	チップセット	バッファ		PHY1（B社FPGA）	PHY2（C社FPGA）	PHY3（ESチップ）
		PHB	PDB	遅延大	遅延中	遅延小
パソコン1	E7221	4個	256バイト	271Mバイト/s	365Mバイト/s	422Mバイト/s
パソコン2	945G	8個	512バイト	548Mバイト/s	720Mバイト/s	744Mバイト/s
パソコン3	E7520	12個	768バイト	742Mバイト/s	744Mバイト/s	744Mバイト/s

イロード・サイズ）の影響はあまり大きくありません．MaxPLが大きいと，トランザクションに占めるデータの割合が多くなり，速度が向上します．しかし，バッファ・サイズや遅延により速度が低下している状況では，そもそもデータを送り出せません．MaxPLが大きくても速度は上がらなくなります．

バッファ・サイズが十分で，遅延が悪影響を及ぼさないときのMaxPLの値の例を**表5**に示します．

MaxPLは大きい方がベターですが，必要なバッファ・サイズも多くなります．MaxPLに比べバッファ・サイズが小さすぎると，転送性能が悪化する場合もあります．

もう一つMaxPLの影響が限定的になる要因は，接続するPCI ExpressデバイスのMaxPLがあまり大きくないことにあります．MaxPLは，接続するPCI Expressデバイスの小さい側の数値に合わせられます．それ以上大きなサイズに対応していても意味がありません．

米国Intel社のデスクトップ/ノート・パソコン向けチップセットのMaxPLは128バイト，サーバ/ワークステーション向けチップセットのMaxPLは256バイトとなっています．評価で使用した米国AMD（Advanced Micro Device）社のCPUの中には，MaxPLが512バイトのチップセットもありました．

表5　Maxペイロード・サイズによる転送速度への影響

項　目	MaxPL	転送速度
パソコン3	128バイト	760Mバイト/s
パソコン4	256バイト	845Mバイト/s
パソコン5	512バイト	894Mバイト/s

表6　チップセットのバッファと対応するペイロード・サイズ

チップセットにより，バッファ搭載量にかなりバラツキがある．データシートには本値に関する記述はない．（今回使用したパソコンでの実測値）設定や構成により値が異なる可能性があることをご了承いただきたい．

	型　番	メーカ	バッファ・サイズ（バイト）			(MaxPL)
			ヘッダ		データ	
			Posted	Non Posted	Posted	
MCH	945	Intel	8	14	512	128
	E7221	Intel	4	12	256	256
	E7230	Intel	8	14	512	256
	E7520	Intel	12	8	768	256
	5000X	Intel	4	4	512	256
	HT-2100	Broadcom	16	32	2304	512
ICH	ICH7	Intel	16	16	1024	128
	631xESB	Intel	14	14	864	256

4）接続先の転送性能が低いと性能は上がらない

前述のMaxPLだけでなく，転送性能は通信相手のバッファ・サイズと遅延の影響も受けます．特に古いチップセットのバッファ・サイズは，かなり少なくなっています．不特定のパソコンに差して使用する，汎用的なボードの場合には気をつけてください（**表6**）．

● IPをスプリット・トランザクション型バスで接続

IPコアのトランザクション層側と接続するバス・インターフェースを決める際に注意すべき点があります．接続するバスは大きく分けて，リード動作の異なる下記2種類から選択することになります（**図5**）．

- スプリット・トランザクション型
- インターロック型

スプリット・トランザクション型は，コマンド（アドレス）とデータのバス制御が分離しているタイプです．コマンドを発行したあと，データが返ってくる前に次のコマンドを発行できます．インターロック型は，コマンドとデータのバス制御が分離されていないタイプです．リード・コマンドを発行したら，データを読み終わるまでコマンド発行を停止します（**図2**）．

PCI Expressでは，インターロック型を使用するとリード・レイテンシが大きくなり，転送性能が極端に悪化します．従来のPCIやPCI-Xに比べ，シリアル-パラレル変換時間が増大し，MAC部分の階層が深くなっているためです．筆者の知る限り，IPコアのインターフェースはどれもスプリット型になっています．

LSIの外に出る部分はどうしてもインターロック型に

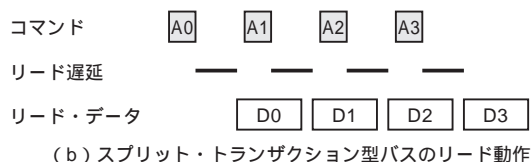
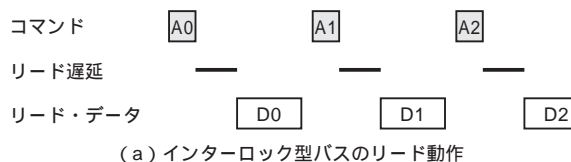



図5　スプリット・トランザクション型バスとインターロック型バスの違い

最初のデータが出てくるまでの時間は同じだが，最後のデータの読み出しまでは大きな時間差が発生する．PCI Expressでは，従来のパラレル・バスと比較して遅延が増大しているため，影響が大きい．

なってしまう個所が発生すると思います．できるだけスプリット型で構成し，末端でインターロック型に変換してください．

また，リード・レイテンシに関連して，PCI Express経由の小さなデータの読み出しは遅い，ということに注意してください．特にCPUが「データを一つ読む→処理→データを一つ読む→処理…」と繰り返す場合，性能が顕著に低下します．これはシリアル・バスを採用している以上回避できません．

● 動作周波数向上のためIPとの接続信号にFFを使う

そのほか一般的な注意点としては，ユーザ回路からIPコアへの入力信号をFFの出力とすることです．IPコアへの入力信号はかなり深い階層まで直接接続されている場合があります．IPコアへの入力信号をフリップフロップの出力としないと，必要な動作周波数が確保できません（筆者はこの部分で今回少し泣きました）．

4 FPGAによる実機評価

今回のLSI設計では，マスクを起こしてLSIを作成する前にFPGAに実装して評価を行いました．市販のPCI Express評価ボードを購入し，FPGAは高速シリアル・トランシーバを内蔵したものを使って実機評価を行いました．ここでは実機評価の際に生じた問題点を説明します．

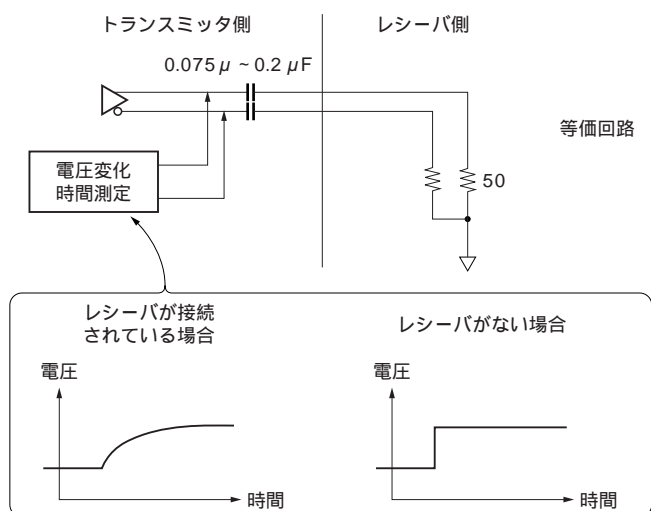



図6　レシーバ検出のしくみ

送信レーン側が，受信レーンが接続されているかを確認する機能．何レーンでリンクを確立させるか認識するために使用する．電圧変化時間を測定することで実現する．まずトランスミッタは初期とは逆のレベルに電圧を変化させ，(1) レシーバ接続時：コンデンサに充電するため，伝送路上の電圧はゆっくり変化，(2) レシーバ未接続時：コンデンサがないのと等価であるため電圧は急速に変化，を判定する．

● ボードと実際のレーン数が違うとリンクアップしない

評価ボードをパソコンに差して動かそうとしたところ，リンクアップできるパソコンとできないパソコンがありました．中にはBIOSの起動すらできないパソコンもありました．

最初は，相性の問題という安易な考えで放置していたのですが，評価が進むにつれて気になってきました．評価中に何気なく，パソコンと評価ボードの間にPCI Expressアナライザを入れて電源を入れたところ，正常にリンクアップできることが分かりました．

原因は，評価ボードにありました．今回，8レーンの評価ボードを使用しました．しかし，4レーンをターゲットに設計していたため，中身の回路は4レーン分しか実装していません．

レシーバ検出でパソコンが認識した評価ボードのレーン数と，実際に実装された回路のレーン数が異なっていたために，正しくリンクアップできませんでした（**図6**）．使用していないレーンにマスキング・テープを張るとすべてのパソコンでリンクアップするようになりました（**写真2**）．

PCI Expressアナライザを使用すると正常に動作したのは，使用していたアナライザが4レーン対応だったので，回路が実装されているレーンしかパソコン側に接続されていなかったからです．

● VCを一つしか使わなくてもTCマッピングが必要

PCI Express部リンクアップ，コンフィグレーション

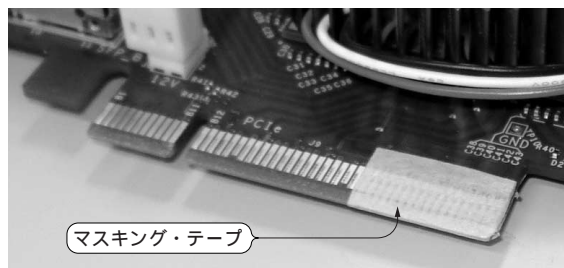



写真2　8レーンのボードの上位4レーンをマスキング

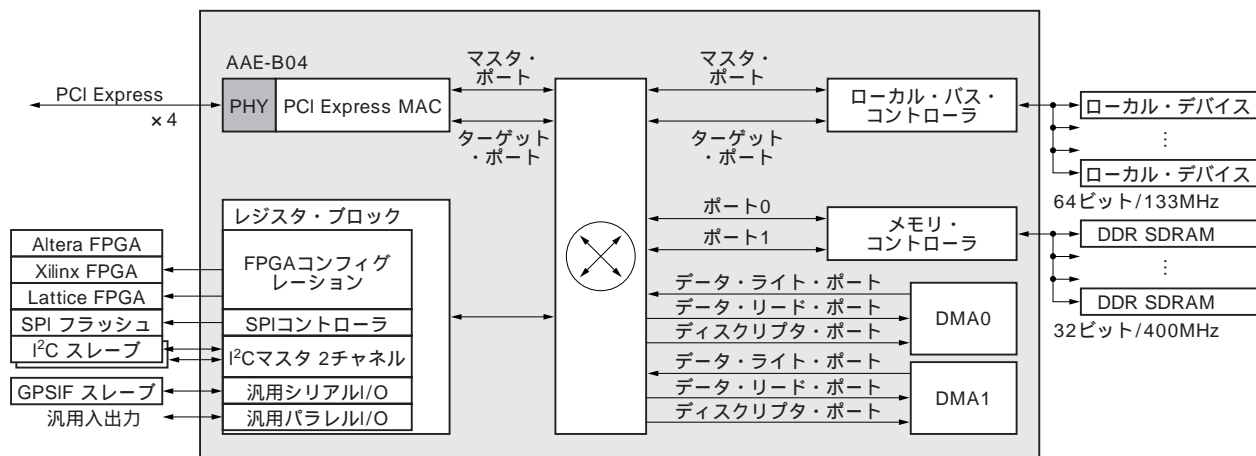
8レーンのボードをそのままパソコンに差してしまうと，回路が実装されていないレーンまでレシーバ検出が行われてしまい，リンクアップできないパソコンが存在した．上位4レーンに魔法のテープ（ただのマスキング・テープ）を張ると，どのパソコンでもリンクアップできるようになった．

PCI ExpressブリッジLSI「AAE-B04」

コラム

今回，筆者らが設計したのは，PCI Expressとローカル・バスのブリッジLSI「AAE-B04」です(**図A**，**表A**)．4レーンのPCI Expressインターフェースを実現でき，高速なデータ転送を必要とするさまざまな場面で使用可能です．

通信モジュールやカメラ・モジュールなどで筆者らは実際に製品に搭載しています(**図B**)．興味のある方は右記にご連絡ください．

サンプル価格：未定　出荷開始：2007年12月
製品の詳細，および購入に関する問い合わせ
(株)アバールデータ 営業部
TEL：042-732-1030
E-mail：Sales@avaldata.co.jp

図A　AAE-B04の内部ブロック図
各ブロックはマトリックス・スイッチで接続されており，同時に異なった個所のデータ転送が実行できる．メモリ・コントローラは2ポートでスイッチに接続されており，PCI Expressとローカル・バス双方からの同時アクセスが可能．

空間のアクセス，内部レジスタのアクセスまでは動作したのですが，DMAが全く動作しません．DMAを開始した途端にパソコンがハングアップしてしまいます．

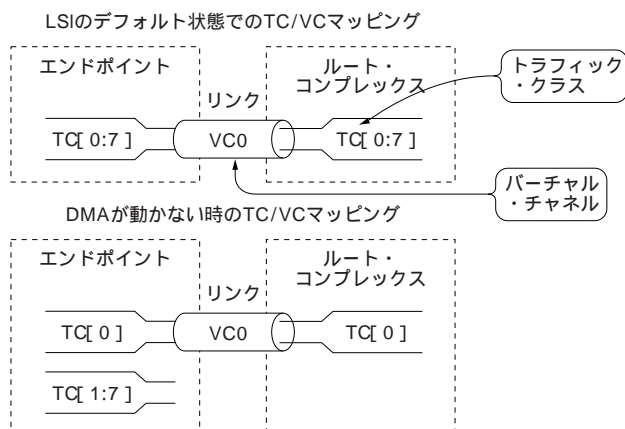



図7　DMAが動かなかった原因
DMAデータ転送に，何のVCにもマッピングされていないTCを使用していた．このためデータを流す途中で詰まってしまい，パソコンがハングアップを起こした(このときはTC[7]を使用)．

シミュレーションでは正常に動作しています．PCI Expressアナライザで実際のパケットを観測しても，PCI Express上にメモリ・アクセス・コマンドが正しく送られている様に見えます．ただし，リード・アクセスでは相手先からデータが返ってきません．

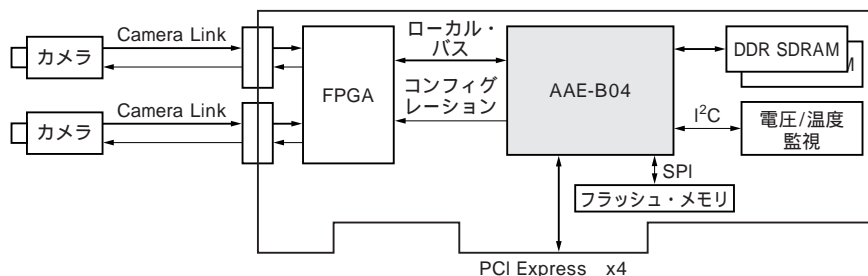
原因は，トラフィック・クラス(TC)[注2]にありました．今回はバーチャル・チャネル(VC)を一つしか使用しないため，TCは何でも構わない，と思っていました．しかし，評価に使用したパソコンではTC0のみがVC0にマッピングされていたため，正常に動作しませんでした(**図7**)．

仕様を正しく理解していなかったのがバグの原因です．

注2：トランザクションの優先順位指定に使用し，0～7までの値を指定できる．バーチャル・チャネル(VC)を使用する場合に使用する．VC0とTC=0は必ずマッピングされるので，VC0しかない場合(VC使用しない場合)はTC=0を使用する．デフォルトでは，すべてのTCがVC0にマッピングされる．

表A 今回作成したLSIの仕様

PCI Express エンドポイント	規　格	Base Specification Revision1.0a
	レーン数	4レーン
	最大ペイロード・サイズ(MaxPL)	1Kバイト
	バッファ・サイズ	RX Posted Data，RX Ccompletion Data 各8Kバイト Retry 4Kバイト
ローカル・バス	バス・プロトコル	シンプルなオリジナル・プロトコル
	信号レベル	2.5V-LVTTLシングルエンド
	バス幅	64ビット
	バス・クロック	133MHz(最大)
高速メモリ インターフェース	対応メモリ	DDR200～400，容量：16Mバイト～1Gバイト(総容量)
	バス幅	32ビット
	先読みメモリ	512バイト×4個
DMA コントローラ	チャネル数	2チャネル
	対応モード	One Shotモード，Scatter/Getterモード
FPGAコンフィグ レーション	対応モード	米国Altera社FPGA：PSモード 米国Xilinx社FPGA：Slave Serialモード 米国Lattice Semiconductor社FPGA：Slave Serialモード
一般仕様	パッケージ	672ピン 1mmピッチBGA(27mm角)
	動作温度	0～70℃
	電源	+3.3V　20mA(最大)，+2.5V　415mA(最大)， +1.2V　2.2A(最大)

図B 画像入力モジュールへの応用例
高速な転送能力を生かした，複数台カメラの同時取り込みモジュールである．FPGAでは，データの並べ替えやフィルタリングなどの前処理を行う．DDRメモリは一時バッファとして利用．

ただ，TCのマッピングがデフォルトから変更されていたのは逆にラッキーかもしれません．マッピングがデフォルトのままであれば，バグを発見できないところでした．

● 非同期のDMA転送において割り込みのバグを発見

評価も佳境に入り，LSIに負荷をかけて評価を行い始めました．DMAを2チャネル同時かつ非同期に動作させてPCI Express側にデータをライトし続ける評価で割り込みが遅延する問題が発生しました．アナライザで観測したところ，片チャネルのDMAが完了し，転送終了を割り込みで通知するところでもう一方のチャネルのDMA転送が行われていると，割り込みがなかなかPCI Express上に出てきません．

シミュレーションで同じ様な状況を再現させてみました．するとメモリ・ライト・トランザクションが途切れなく行われている状態では，割り込みメッセージがPCI上に出力されません．メモリ・ライト・トランザクションに空き時間を作ると，割り込みメッセージ出力されます．本来，先に発生した要求を先に出力すべきところが，メモリ・ライトが優先的に処理される回路になっていました(**図8**)．

● FPGAで使用したソフトが使えるようにASICを設計

今回ES(Engineering Sample)の評価では，FPGAでの評価で使用したソフトウェアをそのまま使えるようにしました．同じソフトウェアが動くようにするメリットとしては，何といっても動作確認が迅速に行えることです．

● コンプライアンス・テストで相互接続のお墨付き

開発したLSIのPCI Expressアイ・パターンを測定してみました．**図9(a)**は今回設計したLSIのアイ・パターンです．測定環境は以下の通りです．

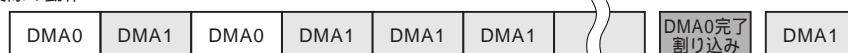
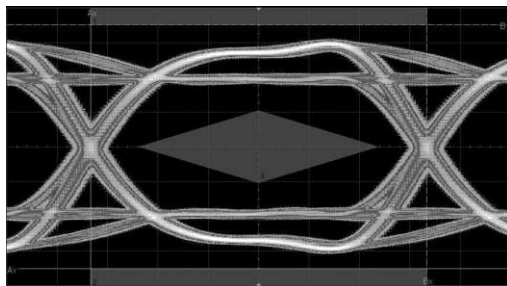
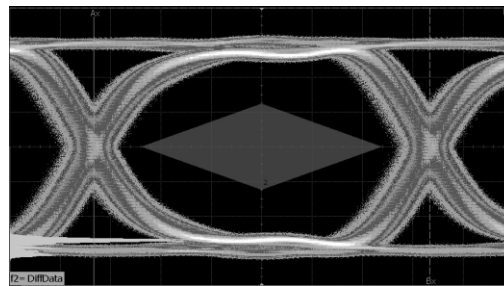
図8
割り込みが遅延する原因
本来であれば，DMAデータ・パケットと割り込みパケットは，同じ優先順位で処理されるべきだった．実際にはDMAパケット送出にすき間ができるまで送出されなかった．

（**a**）ディエンファシス機能を備えたLSIの出力

（**b**）ディエンファシス機能がないFPGAの出力

図9　PCI Express信号のアイ・パターン
(a)のアイ・パターンは大きく開き，良好な波形が確認できた．(b)もアイ・パターンは大きく開いている．このFPGAにはディエンファシスの機能がないため，遷移ビットと非遷移ビットの電圧レベルに変化がない．こちらもPCI Expressの仕様を満足している．

- オシロスコープ：DSO81004B（米国Agilent Technologies社）
- CBB（Compliance Base Board）：CBB1.1

今回設計したLSIはすべてPCI Expressの規格に適合した良好なアイ・パターンを得られました．**図9(b)**はFPGA評価ボードのアイ・パターンを測定したものです．FPGAにディエンファシスの機能がないため，波形の振幅が一定ですがこれでも規格上問題ないようです．

PCI Expressにはアイ・パターンを含めて，相互接続を保証するコンプライアンス・テストがあります．コンプライアンス・テストでは以下の項目を試験します．

- エレクトリカル・テスト：送信側のアイ・パターンを測定し，規格に準拠しているか確認する．
- コンフィグレーション・テスト：コンフィグレーション空間にアクセスを行い，規格通りのレジスタ実装がされているか確認する（ソフトウェアをPCI-SIGのサイトよりダウンロード可能）．
- プロトコル・テスト：専用のプロトコル・テスト・カードを用いて，データ・リンク層およびトランザクション層が規格に準拠しているか確認する．
- 相互接続性テスト：コンプライアンス・ワークショップに参加した機器同士の相互接続性，およびゴールド・スーツと呼ばれる基準となる装置との接続性を確認する．ゴールド・スーツすべてと，ワークショップ参加機器の80％に接続し動作できれば合格．

いがらし・たくろう
(株)アバールデータ　技術部

<筆者プロフィール>
五十嵐拓郎．主にLSI・FPGA設計および，製品仕様設計に従事．1歳4ヵ月の娘とじゃれるのが何よりの楽しみ．あまりくっつきすぎるとイヤイヤをされて悲しくなる．たまに行くダーツの腕を磨きたい．